

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 2000-115480

(43) Date of publication of application : 21.04.2000

(51) Int. Cl.

H04N 1/04
G06T 1/60

(21) Application number : 10-288025 (71) Applicant : GRAPHTEC CORP

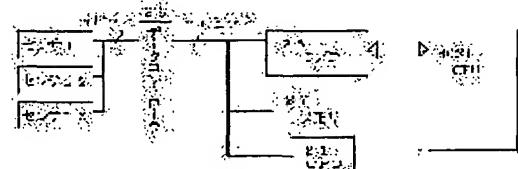
(22) Date of filing : 09.10.1998 (72) Inventor : UCHIDA KENSUKE

(54) IMAGE READER

(57) Abstract:

PROBLEM TO BE SOLVED: To reduce overall processing time by reducing the transfer rate of image data shared on a bus and read by an image sensor.

SOLUTION: This image reader is provided with image sensors 11, 12, 13 that output read image in n-bit each (n is an integer), a data controller 26 that assembles the output data from the image sensors in unit of mn-bits (m is an integer), and a control means that controls the data controller. The output data of the image sensors are transferred to a memory in mn-bit each via the data controller.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C) ; 1998, 2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2000-115480

(P2000-115480A)

(43)公開日 平成12年4月21日(2000.4.21)

(51)Int.Cl.*

H 04 N 1/04
G 06 T 1/60

識別記号

1 0 6

F I

H 04 N 1/04
G 06 F 15/64

テマコト*(参考)

1 0 6 Z 5 B 0 4 7
4 5 0 E 5 C 0 7 2

審査請求 未請求 請求項の数1 O L (全 3 頁)

(21)出願番号

特願平10-288025

(22)出願日

平成10年10月9日(1998.10.9)

(71)出願人 000105062

グラフテック株式会社

神奈川県横浜市戸塚区品濃町503番10号

(72)発明者 内田 健介

神奈川県横浜市戸塚区品濃町503番10号

グラフテック株式会社内

F ターム(参考) 5B047 AA01 BB02 CA06 CA21 CB07

CB09 CB17 CB18 CB25 DC13

EB17

5C072 BA03 BA05 FB08 FB21 FB23

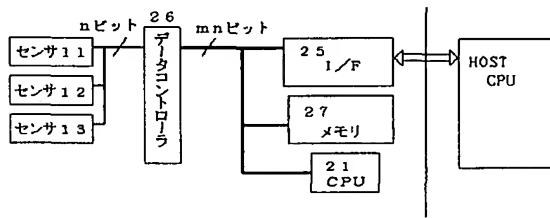
FB27 UA11 UA13 UA20

(54)【発明の名称】 画像読取装置

(57)【要約】

【目的】 イメージセンサが読み取った画像データのバスに占める転送割合を低下させ、総合的な処理時間の低減を図る。

【構成】 読み取った画像データを n (n は整数) ビットずつ出力するイメージセンサと、該イメージセンサの出力データを $m n$ (m は整数) ビットにまとめるデータコントローラと、該データコントローラを制御する制御手段を設け、上記イメージセンサの出力データを上記データコントローラを介して $m n$ ビット毎メモリに転送するよう構成した。



【特許請求の範囲】

【請求項1】 イメージセンサからの画像データをメモリに取り込む画像読取装置において、読み取った画像データを n (n は整数) ビットずつ出力するイメージセンサと、該イメージセンサの出力データを $m n$ (m は整数) ビットにまとめるデータコントローラと、該データコントローラを制御する制御手段を設け、上記イメージセンサの出力データを上記データコントローラを介して $m n$ ビット毎メモリに転送することを特徴とする画像読取装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は画像読取装置に関するもので、特にイメージセンサの読み取った画像データの転送の改善に関する。

【0002】

【従来の技術】 従来の画像読取装置として、図4、図5に示した装置があった。図において、11、12、13はイメージセンサ、21は制御回路としてのCPU、24はイメージセンサ11、12、13で読み取ったデータを一時的に格納するイメージメモリ、25はホストコンピュータとのインターフェース、30は原稿である。

【0003】 イメージセンサ11、12、13は、原稿30上の画像を読み取り、この読み取ったデータを n (n は整数) 個毎すなわち、 n ビットずつパラレルに出力する。そして、図5に示すように、各イメージセンサ11、12、13の出力データを時分割で順次イメージメモリ24に転送する。そして、イメージメモリ24に転送された画像データは、さらにインターフェース25を介してホストコンピュータへ n ビットずつ転送される。

【0004】 なお、CPU21、RAM22及びバッファ23は上述の各要素を制御するために用いられる。RAM22、バッファ23はCPU21が制御を行うために使用するデータあるいは命令を一時的に格納するものである。

【0005】

【発明が解決しようとする課題】 以上のような従来の装置では、例えば各イメージセンサの読み取った画像データをイメージメモリに格納する場合など、このデータ転送のバス専有率が増大してしまう場合があった。そのため、制御手段(CPU)21による他の処理を行う際にバスの空きを待たねばならず、総合的な処理時間が遅くなる欠点があった。この発明はこの点を改善するためになされたものである。

【0006】

【課題を解決するための手段】 このため、この発明においては、イメージセンサからの画像データをメモリに取り込む画像読取装置において、読み取った画像データを n (n は整数) ビットずつ出力するイメージセンサと、

該イメージセンサの出力データを $m n$ (m は整数) ビットにまとめるデータコントローラと、該データコントローラを制御する制御手段を設け、上記イメージセンサの出力データを上記データコントローラを介して $m n$ ビット毎メモリに転送するよう構成した。

【0007】

【実施例】 以下、図面の一実施例を参照して説明する。図1を参照する。この実施例装置では、イメージセンサ群とその処理回路部分との間に、各イメージセンサの出力する画像データを所定の単位にまとめるデータコントローラを設けた。そして、このデータコントローラを境として各イメージセンサに関しては n ビットバスで、処理回路部分に関しては $2 n$ ビットの共通バスで接続するよう構成した。

【0008】 各イメージセンサ11、12、13は、上述した従来のイメージセンサと同様、 n ビット毎に画像データを出力する。これらの各イメージセンサ11、12、13の画像データは、図2に示すように、データコントローラ26に入力される。このデータコントローラ26は、この実施例装置においては、各イメージセンサ毎に n ビットレジスタを2個備えており、ここで $2 n$ (一般的には $m n$: m は整数) ビットのデータにまとめられる。

【0009】 そして、図3に示すように、リクエストタイミング毎に各イメージセンサ11、12、13の画像データが共通バスを介して順次メモリ27に格納される。図3に示すように、イメージセンサ群のデータ転送が共通バスを専有する割合を、従来に比べて著しく小さくすることができる。この空き時間を使って他の処理例えればホストコンピュータへのデータ転送等を行うことができる。

【0010】 なお、この装置では、データコントローラ26以下のバスをCPU21との共通バスとしたので、CPU21が使用するメモリ(図4の22など)とイメージメモリとを同一のメモリにより構成することができる。これにより、製造コストを低減することができる。

【0011】

【発明の効果】 以上説明したように、この発明によれば、各イメージセンサの出力するデータをまとめるデータコントローラを設け、このデータコントローラ以下の処理部を転送容量の大きい共通バスとして構成したので、データ転送のバス専有率を低減することが可能になり、このため、総合的な処理速度を向上させることができる。

【図面の簡単な説明】

【図1】 本発明の一実施例に関わるブロック構成図である。

【図2】 図1のデータコントローラの詳細構成図である。

【図3】 図1のイメージセンサの画像データ転送タイミ

ング図である。

【図4】従来の画像読取装置のブロック構成図である。

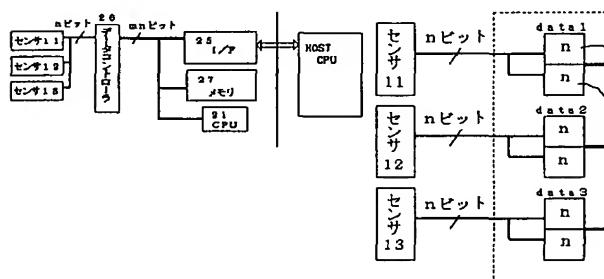
【図5】図4のイメージセンサの画像データ転送タイミング図である。

【符号の説明】

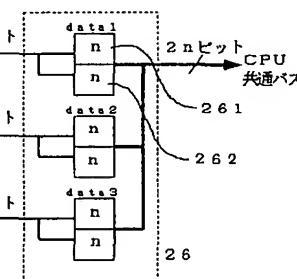
11、12、13：イメージセンサ 21：CPU

26：データコントローラ

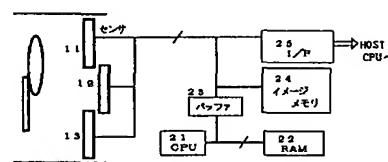
【図1】



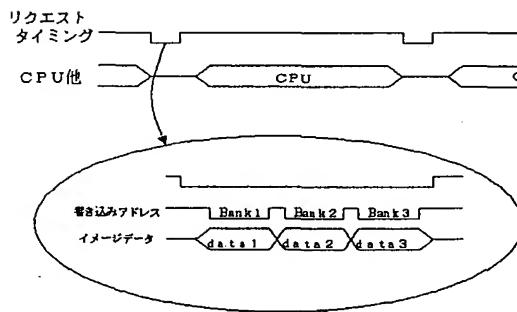
【図2】



【図4】



【図3】



【図5】

